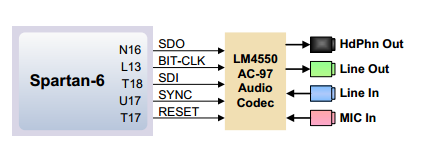
**Le contrôleur audio :**

La carte de développement atlys Spartan 6 contient un contrôleur audio nationale Semiconductor LM4550 AC '97 audio Codec avec quatre 1/8 " prises audio pour line-out, sortie casque, line-in et microphone. Les données audio sont de 18 bits et la fréquence Échantillonnage maximale est de 48 kHz, l’enregistrement audio et le palyback, avec différents fréquences d’échenillage. Le microphone est mono tandis que toutes les autre entrées/sorties sont stéréo. La prise casque est entrainé par un amplificateur 50mW interne au codec.

Le tableau si dessous résume les différents signaux qui doivent être gérer pour pouvoir utiliser le codec correctement.

**Description des entrée/sortie du codec audio :**

|  |  |  |
| --- | --- | --- |
| **Nom du signal** | **Pin sur FPGA** | **Fonctionnalité** |
| AUD-BITCLK | L13 | Sortie d’une horloge de 12.888 Mhz, généré par une demi-période du Crystal (XLT\_IN) de 24.576 Mhz. |
| AUD-SDI | T18 | (Serial Data In) entrée sur l’FPGA. SDI consiste d’une trame d’entrée AC97 qui contient à la fois la configuration et le data PCM audio. SDI est prélevé sur front montant de AUD-BITCLK. |
| AUD-SDO | N16 | (Serial Data Out) sortie de l’FPGA. SDO consiste d’un trame de sortie AC97, qui contient à la fois la configuration et le data du DAC. SDO est prélevé sur front descendant de AUD-BITCLK. |
| AUD-SYNC | U17 | SYNC définit les limites de trame de liaison AC97. Chaque trame dure 256 périodes de AUD-BIT-CLK. SYNC est normalement une impulsion positive 48kHz avec un rapport cyclique de 6,25% (16/256). SYNC est prélevé sur le front montant de AUD-BITCLK, et le codec prend le premier échantillon positif de SYNC repère  du début d'une nouvelle trame de liaison AC.  Si une impulsion de synchronisation ultérieure  survient dans les 255 AUD-BITCLK périodes de du début de le trame, elle sera ignorées. SYNC est également utilisé comme une entrée active haute pour effectuer une  réinitialisation à chaud (asynchrone). La réinitialisation à chaud est utilisée pour effacer un état du powerdown sur l'interface de liaison codec AC. |
| AUD-RESET | T17 | Réinitialisation à froid. Ce signal actif bas provoque une réinitialisation matérielle qui remet les registres de contrôles et tous les circuits internes à leur valeur par défaut.  le LM4550 doit initialiser après l’alimentation |

**Les registres internes du LM4550 :**

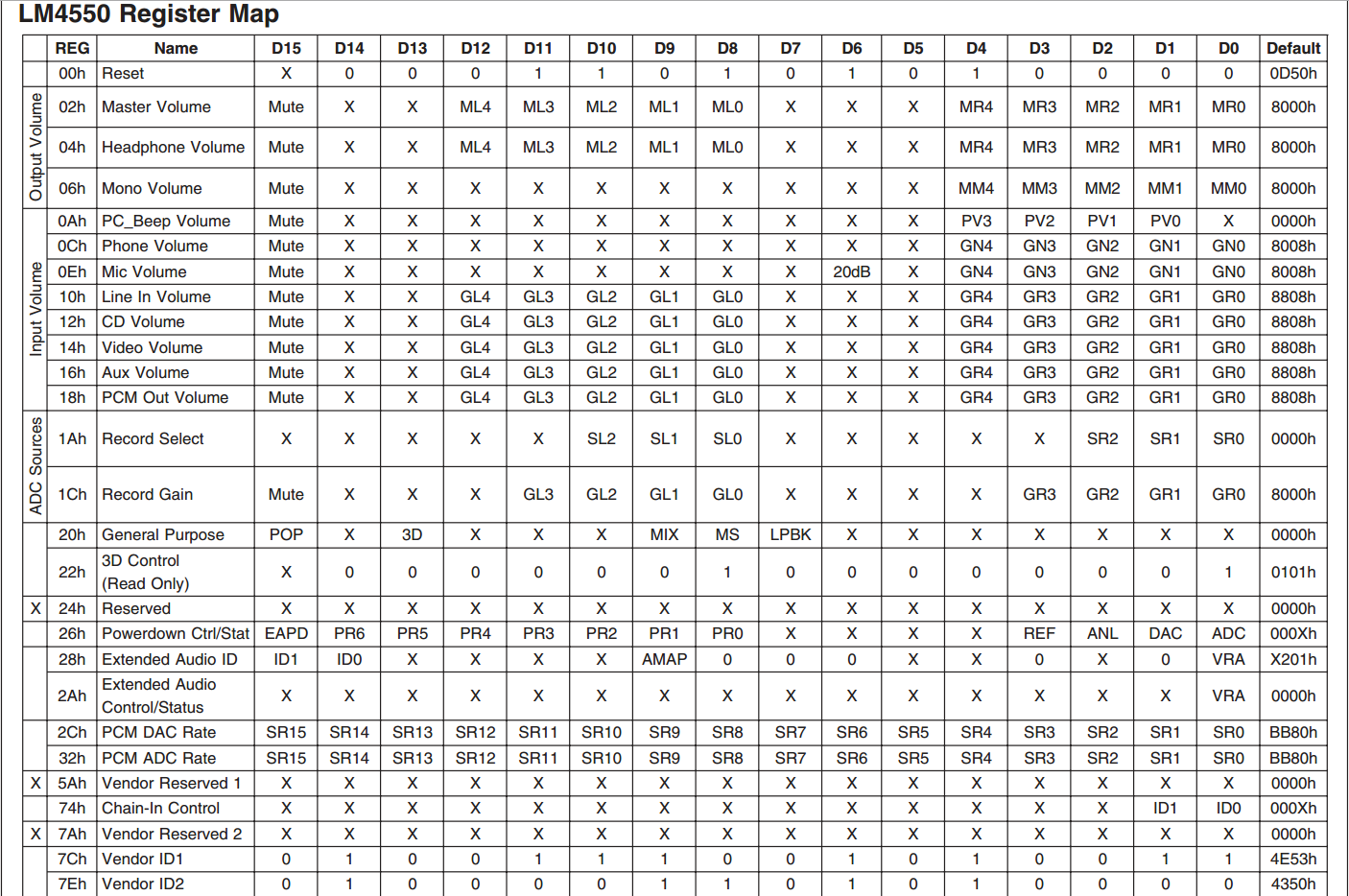


Figure x : Les registres internes du LM4550

**Description du fonctionnement :**

**General :**

Le codec LM4550 peut Mixer, traiter et convertir entre analogique (stéréo et mono) et des entrées numériques (format de référence AC). Il contient quatre entrées stéréo et quatre entrées mono analogiques et deux sorties stéréo et une analogique mono. Un seul codec prend en charge des flux de données sur les deux entrées et deux canaux de sorties de l'interface numérique de référence AC simultanément.

**Entrées et sorties ADC :**

Les quatre entrées stéréo analogiques et les trois entrées mono analogiques peuvent être sélectionnées pour la conversion de 18 bits avec l’ADC stéréo. La sortie numérique de la voie gauche et celle de droite est toujours situé respectivement dans les slot 3 et 4 de la trame AC. Le niveau d'entrée des deux canaux ADC peut être muté ou modifié à partir du registre de gain d'enregistrement, 1Ch. Des ajustements sont à 1,5 dB sur une plage de gain de 0 dB à +22,5 DB. L’entrée de sélection pour le DAC à travers le registre de sélection de multiplexage commandé à partir du registre 1Ah, avec la sélection du microphone commandé par le bit MS (D8) dans le registre d'usage général, 20h. Une des entrées stéréo, CD\_IN, utilise une interface à 3 broches quasi-différentielles où les deux Entrées des canaux stéréo sont référencées à la troisième broche, CD\_GND. CD\_GND AC doit être couplé à la source et fournit une rétroaction en mode commun pour annuler le bruit de fond. Il n'est pas un motif DC. Les trois autres entrées stéréo, LINE\_IN, AUX et vidéo sont des interfaces 2 broches,

**Les sorties stéréo :**

Le volume de sortie de LINE\_OUT et HP\_OUT peut être mute ou régler par 0 dB à 45 dB avec un pas de 3 dB sous le contrôle du volume de registres de sortie principal Volume (02h) et volume du casque (04h) respectivement. Comme avec les registres de volume d'entrée, les modifications des niveaux des deux canaux stéréo peuvent être prises indépendamment mais les canaux gauche et droite partagent un bit muet (D15).

**Les sorties mono :**

La sortie mono (MONO\_OUT) est entraînée par l'un des deux signaux sélectionnés par le bit de MIX (D9) dans le registre d’usage général, 20h. Le signal sélectionné par défaut (Mix = 0) est la sommation des deux canaux de mixage stéréo 3D, la sortie stéréo du MIX1. Mettre le bit MIX de contrôle = 1, sélectionne une entrée microphone, MIC1 ou MIC2. Le choix d' microphone est contrôlé par la sélection microphone (MS) bit (D8) également dans le registre à usage général, 20h.

**Le loopBack analogique et numérique :**

Le loopback analogique fait référence à un chemin de signal tout-analogique à partir d’une entrée analogique par l'intermédiaire des mélangeurs à une sortie analogique. Le loopaBack numérique se réfère à une conversion analogique-mode mixte et un trajet numérique du signal d'une entrée analogique via le ADC, et boucler (LPBK bits - D7, 20h) par le DAC et les mélangeurs à une sortie analogique.

**Réinitialisation(Reset):**

Réinitialisation à froid. Ce signal actif bas provoque une réinitialisation matérielle qui renvoie les registres de contrôle et tous les circuits internes à leur valeur par défaut. Le lm4550 doit être réinitialisé pour initialiser le LM4550 après l’alimentation.

**Protocole d’interface série de la trame AC-LINK :**

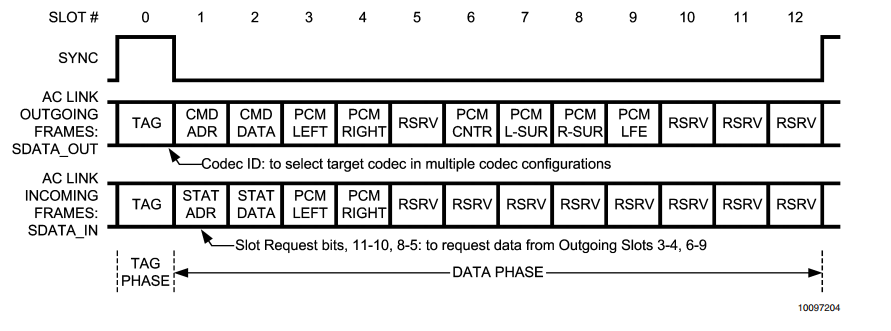
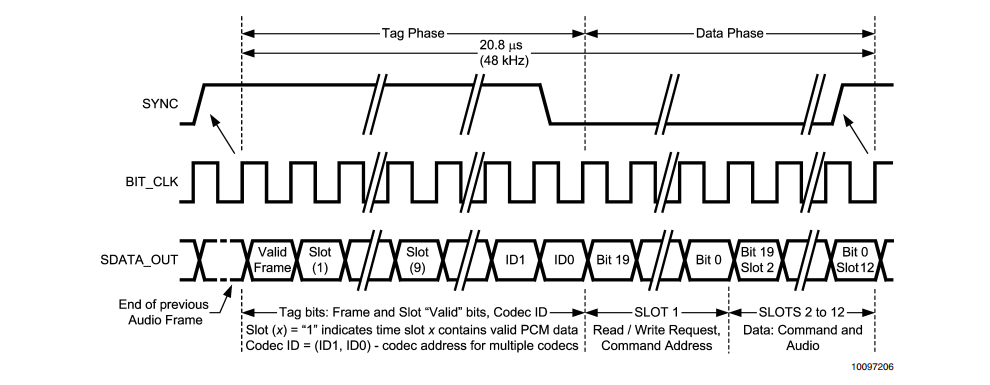


Figure x : Trame AC-LINK d’entrée et de sortie

**Trame de sortie (SDO) :**

Figure x : Trame de sortie AC-LINK



La trame AC transporte les données de contrôle ainsi que la donne PCM. Pour les registres de contrôle du LM4550 et du DAC stéréo. Les trames de sorties sont sur le signal SDATA\_OUT qui est une sortie du Contrôleur et une entrée au codec l'LM4550. Comme le montre la figure X, les trames de sortie sont constituées à partir de treize slot : un slot pour le Tag suivie de douze slots de données. Chaque trame est composée de 256 bits avec douze slot de données contenant 20 bits. Les trame d’entrée et de sorties sont alignés sur la même transition SYNC. LLM4550 accepte uniquement les données dans huit des douze slots de données, puisqu'il s'agit d'un codec de deux canaux seulement à 4 simultanément - 2 pour le contrôle, et deux pour chacune des données PCM à gauche et à droit du DAC.

Une nouvelle trame de sortie est signalée par une transition d’un niveau bas vers haut de SYNC. SYNC devrait être bloqué par le contrôleur sur front montant de BIT\_CLK et, comme le montre la figure 4, et Figure 5, le premier bit dans la trame est *"trame valide"* il devrait être synchronisé par le contrôleur sur front montant suivant du BIT\_CLK et échantillonné par le LM4550 sur front descendant. Le contrôleur AC97 doit toujours synchroniser SDATA\_OUT sur front montant de BIT\_CLK et l' LM4550 toujours échantillons SDATA\_OUT sur le prochain front descendant. SYNC est échantillonné sur le front montant de BIT\_CLK.

Le LM4550 vérifie chaque trame pour s’assurer que les 256 bits sont reçue. Si une nouvelle trame est détecté avant que les 256 bits sont reçus à partir de l'ancienne trame, la nouvelle trame est ignorée soit les données sur SDATA\_OUT sont ignorées jusqu'à ce qu'une nouvelle trame valide sera détecté.

Le LM4550 s'attend à recevoir des données MSB en premier, dans un MSB Format justifié.

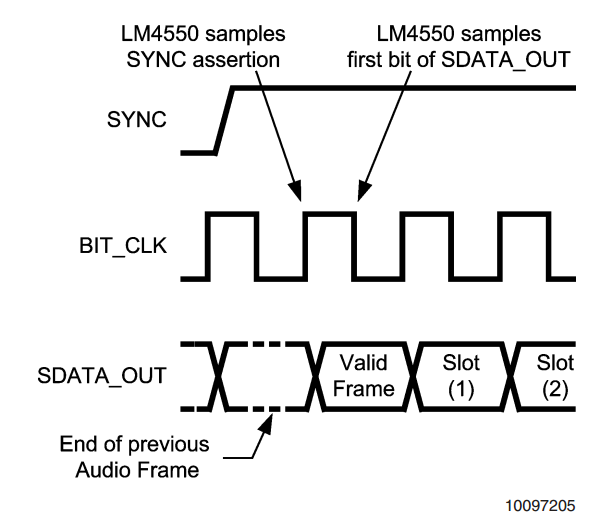
**SDATA\_OUT : Slot 0  - le TAG**

Le premier bit du SLOT 0 est désigné pour le bit "trame valide". Si ce bit est à 1, cela indique que la trame de sortie de courante contient au moins un SLOT de données valides et de le LM4550 vérifiera les autres bits du TAG pour des données valides dans les SLOTs de données attendu. En mode primaire, le contrôleur indiquera la validé des données dans le SLOT en mettant le bit du TAG associé à 1. Puisqu'il s'agit d'un codec à deux canaux le LM4550 peut que recevoir les données seulement de quatre SLOT dans le cadre d’une trame et ainsi il vérifie le bit de validité que pour 4 SLOTs. Dans le mode primaire ces bits du TAG sont pour: SLOT 1 (adresse de la command), emplacement 2 (donnée de la commande), la SLOT 3 (données PCM pour le DAC du canal gauche) et emplacement 4 (données PCM pour le DAC du canal droit).

Les deux derniers bits dans le TAG contiennent l'identifiant du codec utilisé pour sélectionner le codec cible pour recevoir la trame dans le cas d’une configuration a multiple codec. Lorsque la trame est envoyée à un codec dans l'un des modes secondaires, le contrôleur n'utilise pas les bits 14 et

13 pour indiquer l'adresse de la commande valide et les données dans les SLOTs 1 et 2. Au lieu de cela, ce rôle est assumé par les bits d'identification du codec le fonctionnement de la trame AC-LINK suppose que le contrôleur n’accédera pas à un codec secondaire seulement si une adresse de commande valide et /ou données a été fourni.

Lorsque vous envoyez une trame de sortie à un codec en mode secondaire, un contrôleur devrait fixer bits d'étiquette 14 et 13 à zéro.

 Figure x : Début d’une trame AC-LINK de sortie

|  |  |  |
| --- | --- | --- |
| **Bit** | **Description** | **Utilisation** |
| 15 | Trame valide | 1 = Il y a au moins un SLOT de données valide |
| 14 | Registre control d’adresse | 1 = Adresse de contrôle valide dans le SLOT 1  (Mode primaire seulement) |
| 13 | Registre control de données | 1 = Données de contrôle valide dans le SLOT 2  (Mode primaire seulement) |
| 12 | Données du DAC gauche dans SLOT 3 | 1 = Données PCM valide dans le SLOT 3  (Mode primaire et secondaire 1 ; canal gauche) |
| 11 | Données du DAC droit dans SLOT 4 | 1 = Données PCM valide dans le SLOT 4  (Mode primaire et secondaire 1 ; canal droit) |
| 10 | Pas utilisé | Doit être mis à 0 |
| 9 | Données du DAC gauche dans SLOT 6 | 1 = Données PCM valide dans le SLOT 6  (secondaire 2 ; canal gauche) |
| 8 | Données du DAC droit dans SLOT 7 | 1 = Données PCM valide dans le SLOT 7  (secondaire 2 ; canal droit) |
| 7 | Données du DAC gauche dans SLOT 8 | 1 = Données PCM valide dans le SLOT 6  (secondaire 3 ; canal gauche) |
| 6 | Données du DAC droit dans SLOT 9 | 1 = Données PCM valide dans le SLOT 6  (secondaire 3 ; canal droit) |
| 5 :2 | Pas utilisé | Doit être mis à 0 |
| 1.0 | Identifiant du codec (ID0, ID1) | Utiliser dans les modes secondaires. |

**SDATA\_OUT : Slot 1 – Lecture/Ecriture, Adresse de contrôle**

Le Slot 1 est utilisée par le contrôleur pour indiquer à la fois l'adresse du registre de cible dans le LM4550 et si l'opération est une lecture ou écriture du registre. Le MSB du SLOT 1 (bit 19) est mis à 1 pour indiquer que l'opération actuelle est une lecture. Les bits 18 à 12 sont utilisés pour spécifier l’adresse de registre 7-bit de l'opération de lecture ou d'écriture. Les douze bits lsb sont réservés et doivent être mis à zéro.

|  |  |  |
| --- | --- | --- |
| **Bit** | **Description** | **Utilisation** |
| 19 | Lecture/Ecriture | 1 = Lecture  0 = Ecriture |
| 18:12 | Adresse du registre | Identifie le registre de statuts/commande pour  Lecture/Ecriture |
| 11:0 | Réservé | mis à 0 |

**SDATA\_OUT : Slot 2 – Données de contrôle**

Le SLOT 2 est utilisé pour transmettre des données de commande de 16 bits vers le LM4550 lorsque l'opération d'accès est une écriture. Les quatre bits de poids faible devraient être mis à zéros.

Si l'opération d'accès est un registre de lecture, tous les bits de 19 à 0 doivent être mis à zéros.

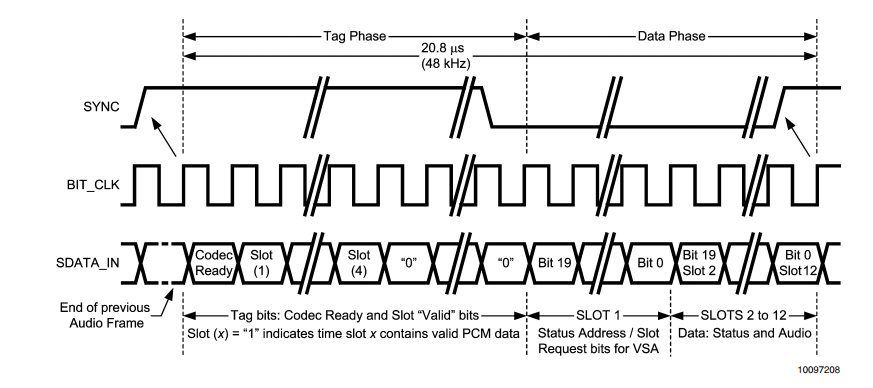
|  |  |  |
| --- | --- | --- |
| **Bit** | **Description** | **Utilisation** |
| 19:4 | Données de registre de contrôle | S’il s’agit d’une opération de lecture, tous les bits doivent être mis à 0 |
| 3:0 | Réservé | mis à 0 |

**SDATA\_OUT : Slot 2 et 3 – Données PCM canal droite et gauche**

Les SLOTs 3 et 4 sont des SLOT de 20 bits utilisés pour transmettre des données PCM aux deux canaux gauche et droit du DAC stéréo lorsque le codec est en mode principal ou en mode secondaire 1. Tous les bits non utilisés devraient être bourré avec des zéros. Les DAC du LM4550 ont 18 bits de résolution et va donc utiliser les 18 bits les plus significatifs des 20-bit Données PCM

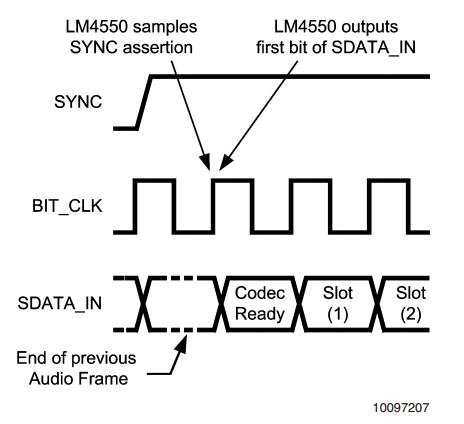
|  |  |  |
| --- | --- | --- |
| **Bit** | **Description** | **Utilisation** |
| 19:0 | Données PCM audio (canal droit et gauche) |  |

**Trame d’entrée (SDI):**

 Figure x : trame d’entrée

La Trame d’entrée AC-LINK contient des données PCM et des données d'état des registres de contrôle LM4550 et de l’ADC stéréo. Les trames d'entrées sont envoyées sur le signal SDATA\_IN qui est une entrée pour le Contrôleur audio numérique et une sortie de l'LM4550 codec. Comme le montre la figure x, les trames d’entrée se constituent de treize SLOTs: un SLOT Tag suivie douze SLOTs de données. L'emplacement de Tag, emplacement 0, contient 16 bits d’une nouvelle trame d'entrée est signalée par une transition de front montant a descendant su signal SYNC. SYNC devrait être cadencé par le contrôleur sur front montant de BIT-CLK et, comme le montre la figure x, et Figure x, le premier bit dans la trame ‘’Codec Ready ‘’ est cadencé depuis LM4550 par le prochain front montant du BIT-CLK. Le LM4550 synchronise toujours les données de SDATA-IN sur un front montant de BIT-CLK et le contrôleur est prévu pour échantillonner SDATA-IN sur le front descendant suivant. Le LM4550 échantillonne SYNC sur le front montant de BIT-CLK.

L’entrée etla sortie des trames sont alignées sur la même transition de SYNC. Le LM4550 vérifie chaque trame pour s’assurer que les 256 bits sont reçue. Si une nouvelle trame est détecté avant que les 256 bits sont reçus à partir d'un ancienne trame, la nouvelle trame est ignoré comme si aucune donnée valide n’est envoyée sur SDATA-IN jusqu'à ce qu'une nouvelle trame valide est détecté. Le LM4550 transmet des données MSB en premier.

**SDATA\_IN : Slot 0 -Codec/SLOT bits de statut**

Le premier bit (bit 15, "Codec Ready") du SLOT 0 dans la trame d'entrée AC-LINK indique quand le codec et ses registres d'interface sont pleinement opérationnels. Le contrôleur numérique est alors capable de lire les bits de poids faible du Powerdown Control (26h) pour déterminer le statut des quatre principales sections analogiques. Il est important de vérifier l'état de ces sections Après l'initialisation, la réinitialisation à froid ou à l'utilisation des modes du powerdown afin d' minimiser le risque de distorsion des signaux analogiques transmis avant que les sections sont prêtes. Les bits 14, 13, 12 et 11 indiquent que les données dans l’emplacement 1, 2, 3 et 4, respectivement sont valides.

|  |  |  |
| --- | --- | --- |
| **Bit** | **Description** | **Utilisation** |
| 15 | Codec Ready | 1 = L’interface du contrôleur est opérationnel |
| 14 | Validité des données du SLOT 1 | 1 = Adresse de statut valide ou requête du SLOT |
| 13 | Validité des données du SLOT 2 | 1 = Adresse de statut valide ou requête du SLOT |
| 12 | Validité des données du SLOT 3 | 1 = Données PCM valide (canal gauche) |
| 11 | Validité des données du SLOT 4 | 1 = Données PCM valide (canal droit) |

**SDATA\_IN : Slot 1 – Adresse de statut / requête de SLOT**

Ce SLOT rappel (bits 18-12) l'adresse (7 bits) du registre de commande / statut su codec reçu du contrôleur comme partie d’une requête de lecture dans la trame précédente. Si aucune requête n’a été reçu, le codec met ces bits a des zéros.

Les bits 6, 11, 10, 8-5 sont des requête de SLOT qui soutiennent la capacité de l’audio c à taux variable (VRA) du LM4550. Seulement deux sont utilisés simultanément. Si le codec est en mode primaire ou en mode secondaire 1, puis les canaux gauche et droit de l'DAC vont prendre des données PCM des SLOTs 3 et 4 dans la trame de sortie respectivement.

Le codec utilise les bits 11 et 10 pour demander des données du DAC à partir de ces deux SLOTs. Si les bits 11 et 10 sont mis à 0, le contrôleur doit répondre avec des données PCM valides dans les emplacements 3 et 4 de la prochaine trame de sortie. Si les bits 11 et 10 sont mis à 1, le contrôleur ne doit pas envoyer de données. De même, si le codec est en Mode secondaire 2, les bits 7 et 6 sont utilisés pour demander des données des SLOTs 7 et 8 dans la trame de sortie. Si en mode secondaire 3, les bits 8 et 5 pour demander des données des SLOTs 6 et 9.

Le codec a le plein contrôle des bits de demande de SLOT. Par défaut, des données sont demandée à chaque trame, correspondant à un échantillon à une vitesse égale à la vitesse de défilement (fréquence SYNC) - 48 kHz lorsque XTAL\_IN = 24.576 MHz. Pour envoyer des échantillons à un taux en dessous du taux de trame, le contrôleur devrait mettre VRA = 1 (bit 0 dans le registre Control / Status, 2Ah) et programmer la vitesse désirée dans le registre de fréquence DAC PCM, 2ch. Les deux voies du DAC fonctionnent à la même fréquence d'échantillonnage. Les valeurs des fréquences d'échantillonnage sont donnés dans le Registre Description de la section (exemples registres de contrôle de la fréquence, 2ch, 32h) mais sur une fourchette comprise entre 4 kHz et 48 kHz (à une résolution de 1 Hz) est supporté.

Les requêtes de SLOT à partir du LM4550 sont déterministes. Par exemple, si un échantillon à un taux de 8000 Hz est programmé dans 2CH alors le LM4550 va toujours émettre requête de SLOT dans toutes les six trames.

Bits 9, 4, 3 ​​et 2 sont des bits de demande de SLOTs non utilisés par le LM4550 et sont rembourrés avec des zéros. Les bits 1 et 0 sont réservés et sont aussi bourré avec des zéros.

|  |  |  |
| --- | --- | --- |
| **Bit** | **Description** | **Utilisation** |
| 19 | Réservé | Mis à 0 pas le LM4550 |
| 18 :12 | Index du registre de statut | Reflet la requête du registre de statut |
| 11 | Bit de requête SLOT 3 | 0 = Le contrôleur doit envoyer une donnée valide  dans le SLOT 3 dans la prochaine trame de  sortie.  1 = Le contrôleur ne doit pas envoyer de données  sur le SLOT 3 |
| 10 | Bit de requête SLOT 4 | 0 = Le contrôleur doit envoyer une donnée valide  dans le SLOT 4 dans la prochaine trame de  sortie.  1 = Le contrôleur ne doit pas envoyer de données  sur le SLOT 4 |
| 9 | Bit de requête SLOT 5 | Mis à 0 par le LM4550 |
| 8 | Bit de requête SLOT 6 | 0 = Le contrôleur doit envoyer une donnée valide  dans le SLOT 6 dans la prochaine trame de  sortie.  1 = Le contrôleur ne doit pas envoyer de données  sur le SLOT 6 |
| 7 | Bit de requête SLOT 7 | 0 = Le contrôleur doit envoyer une donnée valide  dans le SLOT 7 dans la prochaine trame de  sortie.  1 = Le contrôleur ne doit pas envoyer de données  sur le SLOT 7 |
| 6 | Bit de requête SLOT 8 | 0 = Le contrôleur doit envoyer une donnée valide  dans le SLOT 8 dans la prochaine trame de  sortie.  1 = Le contrôleur ne doit pas envoyer de données  sur le SLOT 8 |
| 5 | Bit de requête SLOT 9 | 0 = Le contrôleur doit envoyer une donnée valide  dans le SLOT 9 dans la prochaine trame de  sortie.  1 = Le contrôleur ne doit pas envoyer de données  sur le SLOT 9 |
| 4 :2 | Réservé | Mis à 0 par le LM4550 |
| 1.0 | Réservé | Mis à 0 par le LM4550 |

**SDATA\_IN : Slot 2 – Statut**

Ce SLOT renvoie les données d'état de 16 bits lus à partir d'un contrôle de codec /registre d'état. Le codec envoie les données de statut dans la trame suivant la demande de lecture par le dispositif de commande. Si aucune lecture demande a été faite dans la trame précédente le codec me ce SLOT a zéros.

|  |  |  |
| --- | --- | --- |
| **Bit** | **Description** | **Utilisation** |
| 19 :4 | Statut | Données lu du registre d’état. |
| 3 :0 | Réservé | Mis à 0 par le LM4550 |

**SDATA\_IN : Slot 3 – Données PCM canal gauche**

Ce SLOT contient des données échantillonnées à partir de la voie de gauche de l'ADC stéréo. Le signal à numériser est sélectionnée en utilisant le registre de sélection d’enregistrements (1 Ah) et par la suite acheminé à travers le registre de sélection de multiplexage et l'amplificateur a gain vers l’ADC.

Le SLOT est de 20-bit et les données PCM 18 bits est transmis dans le poids fort du SLOT. Les deux bit 2 qui restent sont toujours à 0.

|  |  |  |
| --- | --- | --- |
| **Bit** | **Description** | **Utilisation** |
| 19 :2 | Données PCM canal gauche | 18 bit de données numérisés par l’ADC gauche |
| 3 :0 | Réservé | Mis à 0 par le LM4550 |

**SDATA\_IN : Slot 4 – Données PCM canal droit**

Ce SLOT contient des données échantillonnées à partir de la voie de droite de l'ADC stéréo. Le signal à numériser est sélectionnée en utilisant le registre de sélection d’enregistrements (1 Ah) et par la suite acheminé à travers le registre de sélection de multiplexage et l'amplificateur a a gain vers l’ADC.

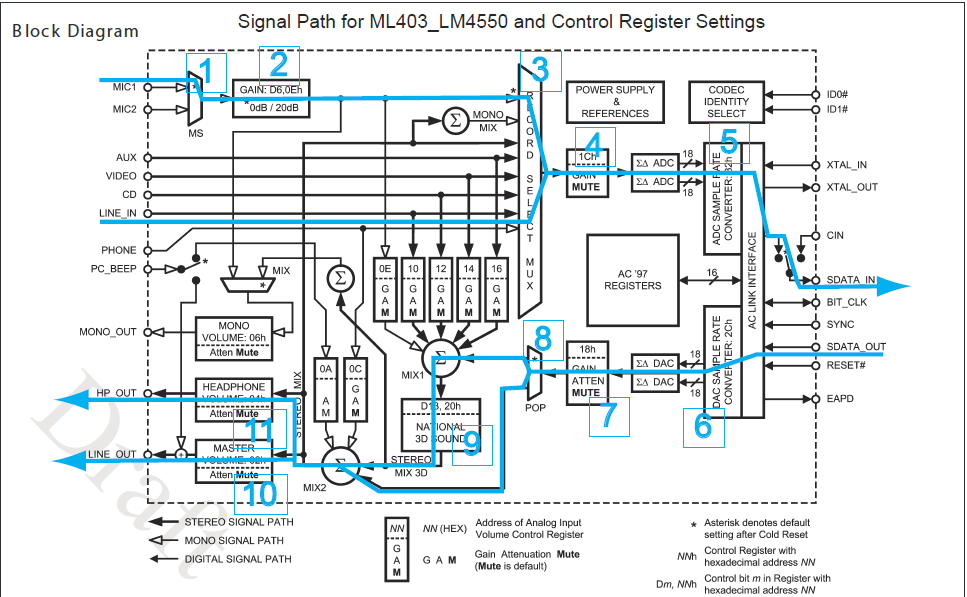
Le SLOT est de 20-bit et les données PCM 18 bits est transmis dans le poids fort du SLOT. Les deux bit 2 qui restent sont toujours à 0.

|  |  |  |
| --- | --- | --- |
| **Bit** | **Description** | **Utilisation** |
| 19 :2 | Données PCM canal droit | 18 bit de données numérisés par l’ADC droit |
| 3 :0 | Réservé | Mis à 0 par le LM4550 |

**SDATA\_IN : Slot 5 à 15**

Les SLOTs de 5 à 12 ne sont pas utiliser par l’LM4550, et ils sont toujours mis à 0.

**Diagramme interne :**

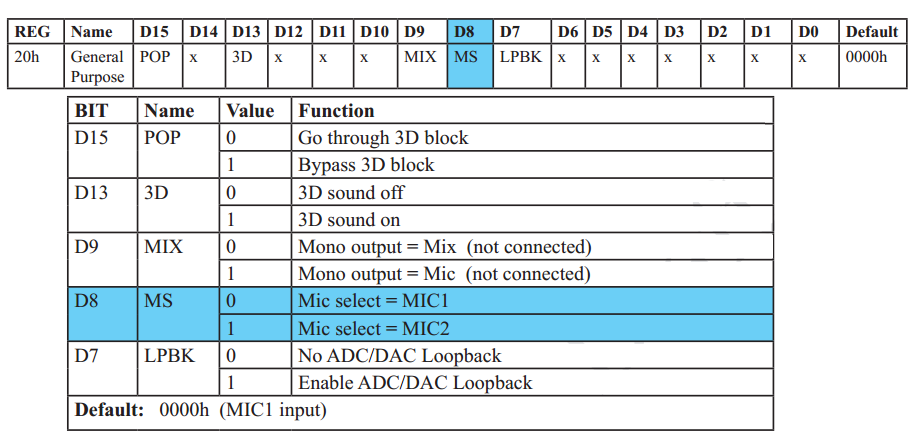
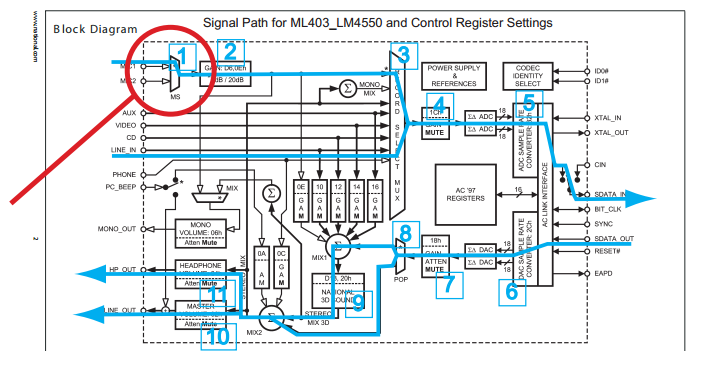


**Description des registres interne au LM4550 :**

La section qui suit décrit les registres a programmé pour une utilisation minimale du LM4550 dans le mode primaire.

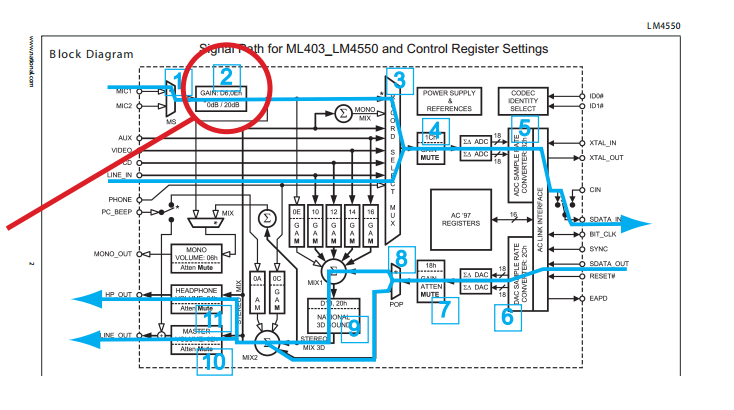
**Sélection microphone (20h) :**

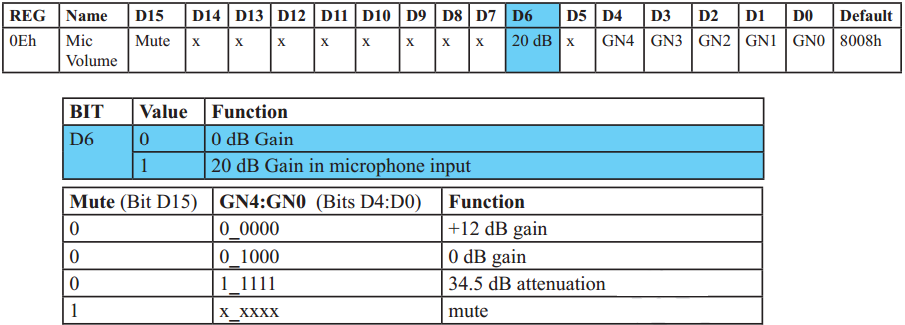
Les entrées microphone 1 et 2 peuvent être sélectionnées en utilisant le registre de commande à l’adresse 20h.

****

**Contrôle du gain du microphone (0Eh):**

L’entrée du microphone peut avoir un boost de 20 db en utilisant le bit D6 dans le registre de volume de microphone 0Eh.





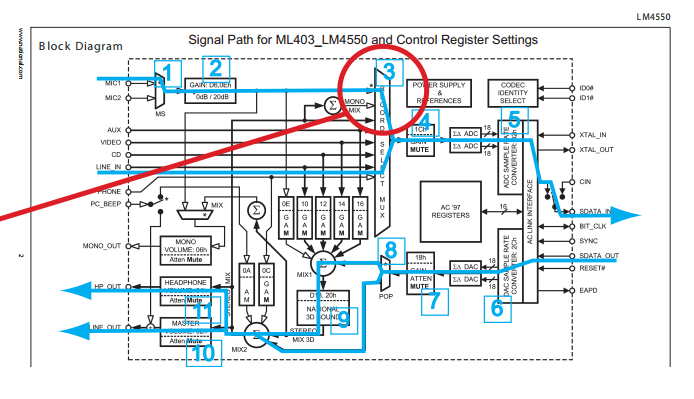
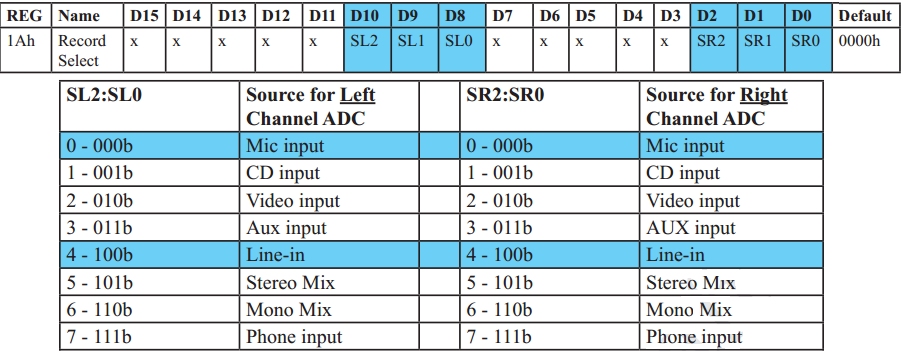
- Valeur par défaut : 8008h (mute, 0 db de gain)

- Le Bit D6 contrôle le boost de 20dB sur l'entrée qui est acheminé à l'entrée de sélection du MUX. Les autres bits (muet et gain / atténuation) commande l’entrée du mélangeur 1.

- Les bits D4:D0 contrôle le gain de +12 dB à -34.5 dB par pas de 1,5 dB dans le mélangeur 1.

**Sélection d’entrée (1Ah):**

Le multiplexeur de sélection d’entrée contrôle la sélection de l’entrée via le registre 1Ah.



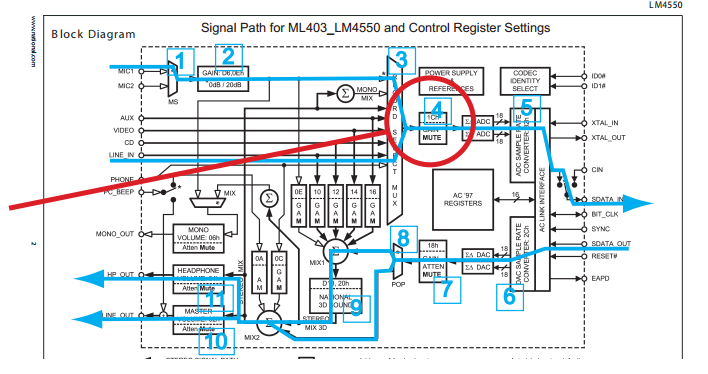
- Valeur par défaut : 8008h (Mic sur les deux canaux droit et gauche)

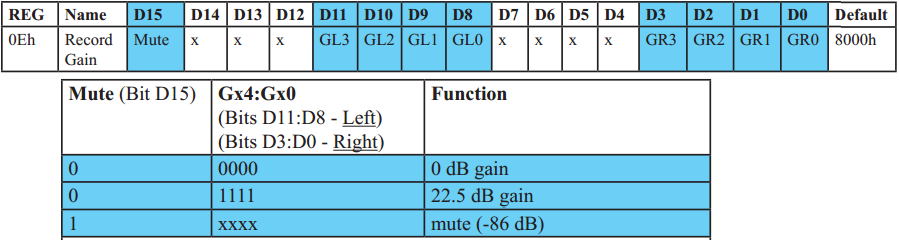
- Les entrées CD, Video, AUX, Phone ne sont pas connecte.

- La sélection du canal peut être individuelle.

**Contrôle du gain d’entrée (1Ch) :**

L’entrée sélectionné peut avoir une amplification de gain jusqu’à 22.5 db en utilisant le registre de gain 1Ch.





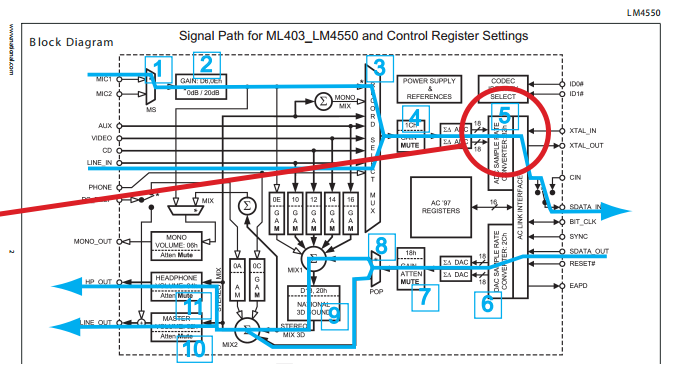
- Valeur par défaut : 8008h (mute, 0 db de gain)

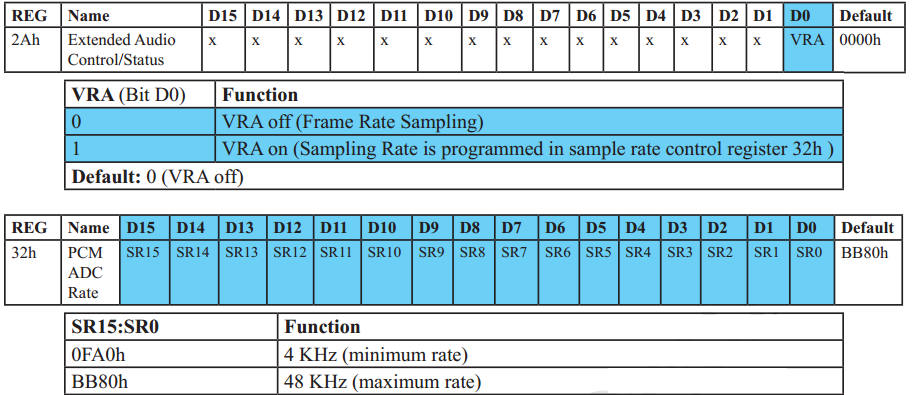
- Le bit D15 met l’entrée a muet.

- Les bits Gx4 :Gx0 contrôlent le gain de 0 à +22.5 db avec des pas de +1.5 db

**Fréquence d’échantillonnage de l’entrée (2Ah):**

L'entrée peut être échantillonné à partir de 4 KHz à 48 KHz en agissant à la fois sur la fréquence d’échantillonnage de l’ADC registre 32h et sur le registre du statut/contrôle 2Ah

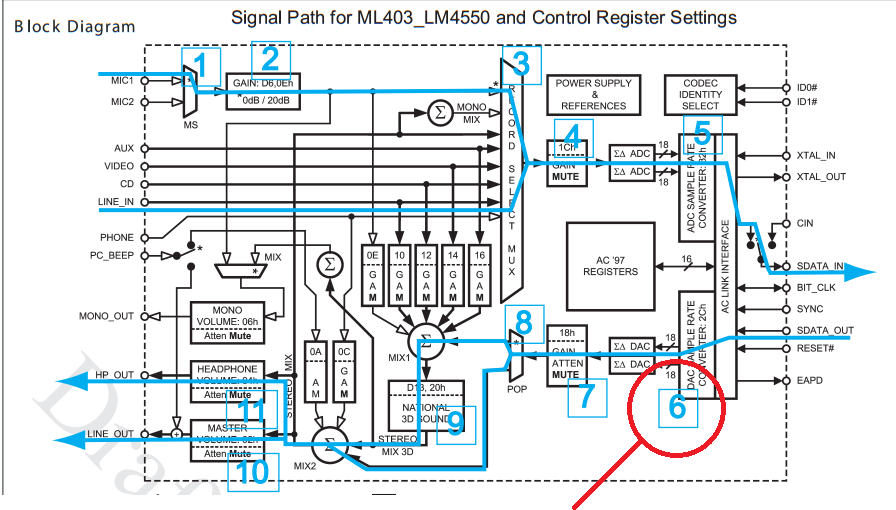


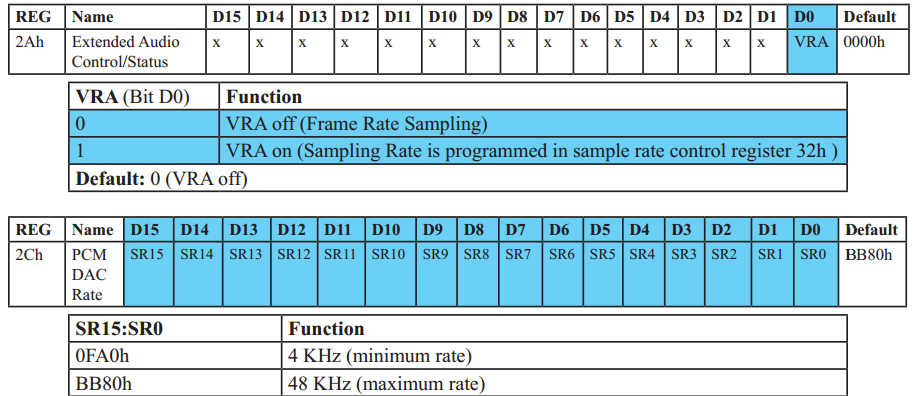


- Valeur par défaut : BB80h (48kh)

- La fréquence d’échantillonnage peut être programmé, avec des incréments de 1 Hz pour une valeur entre 4 KHz jusqu’à 48 KHz.

**Fréquence d’échantillonnage de la sortie (2Ah):**

La sortie peut être échantillonné à partir de 4 KHz à 48 KHz en agissant à la fois sur la fréquence d’échantillonnage de l’ADC registre 32h et sur le registre du statut/contrôle 2Ah.

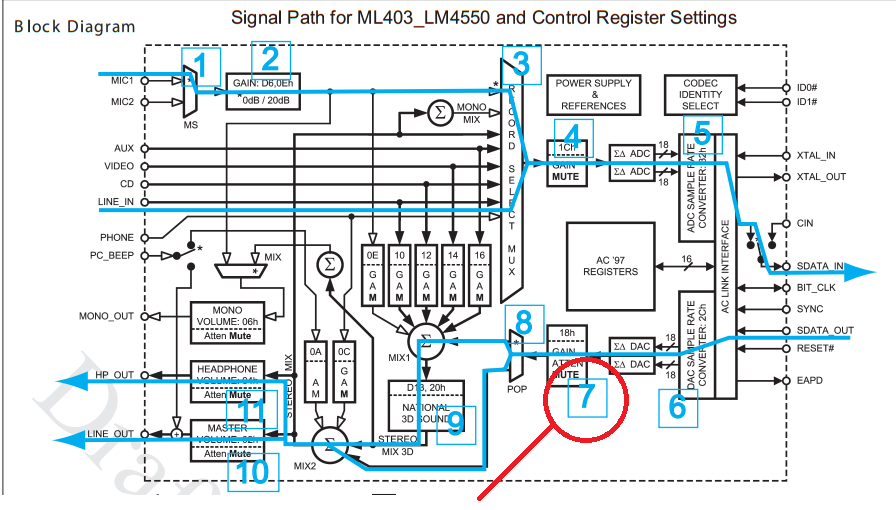


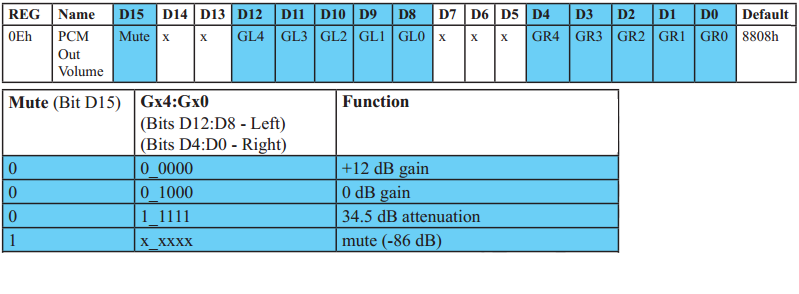
- Valeur par défaut : BB80h (48kh)

- La fréquence d’échantillonnage peut être programmé, avec des incréments de 1 Hz pour une valeur entre 4 KHz jusqu’à 48 KHz.

**Contrôle de volume de sortie (18h):**

Le volume de sortie peut contrôler via le registre de volume PCM 18h.



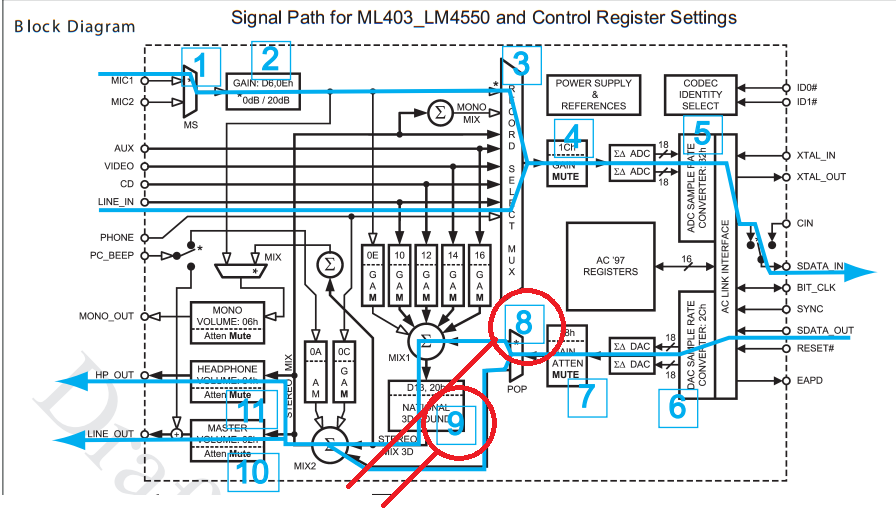


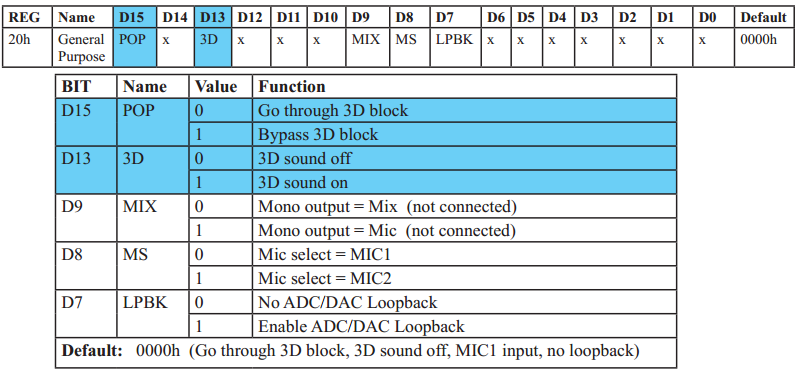
- Valeur par défaut : 8808h (mute, 0 db de gain sur les deux canaux)

- Les bits Gx4 :Gx0 contrôlent le gain de +12 db jusqu’à -34.5 db avec des pas de -1.5 db.

**Sortie audio 3D (20h) :**

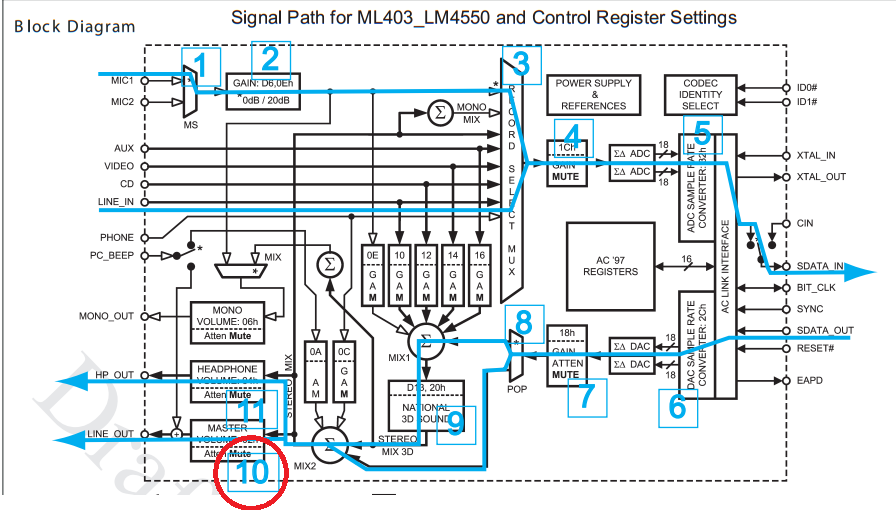
La sortie peut etre router dans le bloque ‘’NATIONAL 3D SOUND ‘’ en utilisant le registre a propos générale.

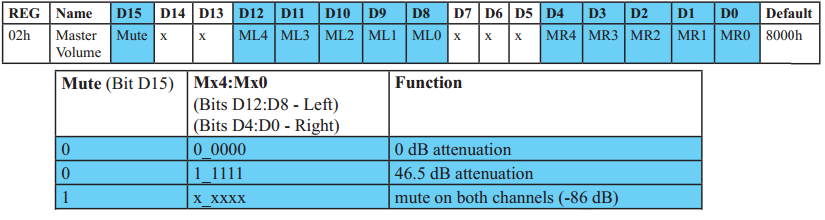




**Volume du Line-Out (02h) :**

Le volume du line-out est régler via le registre de contrôle de volume master.



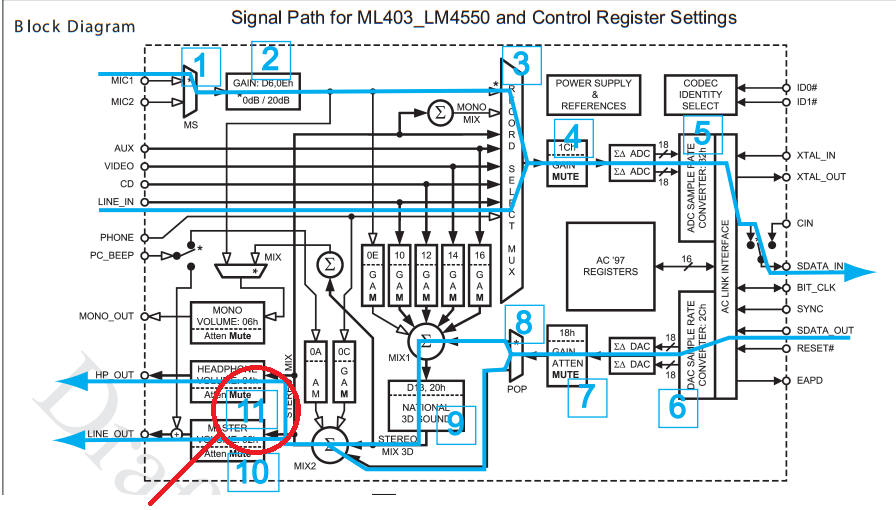


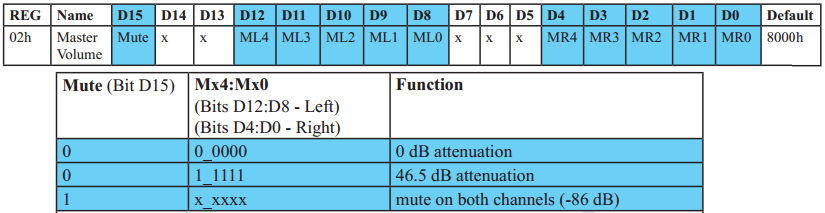
- Valeur par défaut : 8808h (mute, 0 db de gain sur les deux canaux)

- Les bits Mx4:Mx0 contrôlent le gain de 0 db jusqu’à -46.5 db avec des pas de -1.5 db.

**Contrôle de volume Headphone (02h) :**

Le volume de la sortie headphone est régler via le registre de contrôle de volume master.





- Valeur par défaut : 8808h (mute, 0 db de gain sur les deux canaux)

- Les bits Mx4:Mx0 contrôlent le gain de 0 db jusqu’à -46.5 db avec des pas de -1.5 db.

**Branchement typique :**

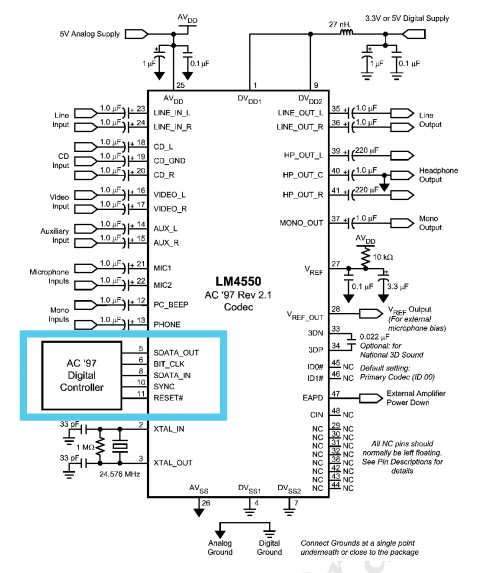


Figure x : branchement typique du LM4550

La figure x représente un branchement typique du LM4550, la partie encadré en bleu noté *‘’AC97 digital controller’’* est la partie qui doit être implémenté sur l’FPGA pour pouvoir communiquer avec le codec pour envoyer et recevoir des données audio.

**Implémentation du contrôleur sur l’FPGA :**

Cette partie s’intéresse à l’interfacer du codec audio LM4550 avec un FPGA qui roule à une horloge de 100 MHz. Le design peut être adapté à d'autres vitesses d'horloge soit la mise à l'échelle des compteurs internes, ou l'instanciation d'un PLL embarquée pour atteindre une horloge de 100 MHz. Un Spartan 6 FPGA est utilisé pour développer le contrôleur AC'97 qui se trouve sur carte de développement digilent atlys, toute fois n’importe quel FPGA peut être utilisé à condition que la fréquence du signal soit prise en compte par rapport à l'horloge de système principale.

**Description du composant (AUDIO\_CONTROLLER) :**

Les entrées du composant comprennent l'oscillateur principal de l’FPGA (CLK), une réinitialisation (reset) actif à l’état bas, entrée de données série (SDATA\_IN), un signal d'horloge parvenant du codec AC'97 de 12,288 MHz (BIT\_CLK), un sélecteur de source (SOURCE\_SELECT) et une commande de volume de (VOLUME\_UP/VOLUME\_DOWN). Les comprennent un signal de synchronisation (SYNC), la sortie de données série (SDATA\_OUT), et un signal de réinitialisation (CODEC\_RESET) actif a l’état bas pour initialiser le codec.

Le composant comporte deux parties principales, le contrôleur audio pour produire les différents signaux, et la conversion de 18 bits de données parallèles en données série pour l'interfaçage pour le traitement de signal, et la machine d'état qui permet de configurer les registres du codec dans un mode round robin. La machine d’état peut être modifiée pour inclure l’utilisation du wishbone\*.

Les deux parties du pilote sont synchronisés avec un seul cycle du signal impulsionnel (CODEC\_READY).

**Simulation du pilote sur model sim :**